**Єгоров Олександр Андрійович. Моделі і методи спільної верифікації проектованих цифрових систем на кристалах : Дис... канд. наук: 05.13.12 - 2006.**

|  |  |
| --- | --- |
| |  | | --- | | Єгоров О.А. Моделі і методи спільної верифікації проектованих цифрових систем на кристалах. – Рукопис.  Дисертація на здобуття наукового ступеня кандидата технічних наук за спеціальністю 05.13.12 – системи автоматизації проектувальних робіт.– Харківський національний університет радіоелектроніки, Харків, 2006.  Дисертація присвячена питанням функціональної верифікації складних проектованих цифрових систем на кристалах. У роботі розроблено структурну модель i метод спільної верифікації апаратних i програмних складових системи на кристалi. Встановлено, що більшу частину системи на кристалі, яка складається з неодноразово використаних апаратних i програмних блоків, можна розміщувати на програмованих логічних iнтeгральних схемах, починаючи з перших етапів проектування, для прискорення моделювання i зменшення часу процесів верифікації. Модернізованo архiтектуру системи моделювання цифрової системи (ЦС) для забезпечення можливості спільної верифікації програмних блоків, низькорівневих представлень апаратних блоків, моделей апаратних блоків, що розробляються. Обгрунтовано ефективність використання програмної надлишковості опису ЦС у вигляді асерцiй, що дозволяє автоматизувати функціональну верифікацію, зменшити витрати на тестування завдяки використанню псевдовипадкового тесту, а також збільшити глибину діагностування пристрою. Основні результати теоретико-експериментальних досліджень реалізовано у вигляді програмно-апаратного комплексу CoVer функціональної верифікації складних цифрових систем на кристалі, який знайшов промислове використання в проектуванні складних процесорних систем на ПЛІС. | |
| |  | | --- | | 1. Удосконалено структурну модель та метод спільної верифікації неоднорідних систем на кристалах. Встановлено, що для підвищення точності оцінки продуктивності системи на кристалі із ранніх етапів проектування доцільно під час моделювання SoC використовувати IP блоки низького рівня надання сумісно з високоабстрактним наданням блоків, що планується спроектувати. Метод дозволяє отримувати важливі показники поведінки системи на кристалі без витрат на побудову моделей рівня транзакцій та рівня функцій шини.  2. Удосконалено архітектуру моделі спільної верифікації неоднорідних систем на основі використання ПЛІС кристалів та існуючих засобів САПР. Запропонована архітектура враховує особливість перепрограмування крис-талів ПЛІС, дозволяє прискорити моделювання складних систем з великим обсягом ПЗ (таких, як ОС реального часу). Дозволяє на ранніх стадіях проектування моделювання взагалі всієї SoC та виключення основних ризиків некоректностей специфікації, що призводять до значних витрат на повторне проектування.  3. Обґрунтовано ефективність використання програмної надлишковості у вигляді асерцій для верифікації та діагностування проектованих цифрових систем. Механізм асерцій дозволяє підвищити глибину діагностування несправностей та зменшити витрати на генерацію тестів та аналіз реакцій ЦС на предмет наявності несправностей.  4. Удосконалено модель та метод процесу тестування та діагностування цифрового проектувального пристрою, який дозволяє розподіляти SoC на компоненти в просторі та часі, що дає можливість створювати універсальні механізми тестування для використання їх під час верифікації на блочному та на системному рівнях. Метод не потребує витрат на зміну реалізації тестів при переході від програмного моделювання до емуляції в процесі верифікації.  5. Введено та досліджено структуризацію моделі ЦС для одночасного виконання верифікації за допомогою програмного моделювання та емуляції в ПЛІС, що дозволяє здійснювати верифікацію на високих частотах (декілька МГц). Вирішено проблему синхронізації сумісного моделювання та емуляції.  6. Шляхом експериментальних досліджень на однопроцесорних системах на ПЛІС кристалах продемонстровано високі показники виявлення несправностей (особливо несправностей апаратно-програмного інтерфейсу SoC), зменшення часу верифікації. Розроблена система верифікації та тестування інтегрована як частина САПР SoC у маршрути проектування цифрових систем на ПЛІС провідних фірм в галузі проектування і верифікації цифрових систем. | |