**Попов Юрій Васильович. Організація обчислювальної мережі для розподіленого логічного моделювання цифрових систем : Дис... канд. наук: 05.13.13 - 2007.**

|  |  |
| --- | --- |
|

|  |
| --- |
| **Попов Ю.В. Організація обчислювальної мережі для розподіленого логічного моделювання цифрових систем. - Рукопис.**Дисертація на здобуття наукового ступеня кандидата технічних наук. – ДВНЗ «Донецький національний технічний університет», Донецьк, 2007.Дисертація присвячена розробці та дослідженню методів і засобів підвищення ефективності паралельних обчислювальних систем і мереж, розробці та дослідженню нових інформаційних технологій автоматизованого проектування засобів обчислювальної техніки.У дисертації розроблені методи організації обчислювальної мережі для розподіленого моделювання цифрових систем, запропонований новий спосіб організації списку подій, що прискорює вставку нових елементів, сформульовані нові критерії оптимальності відображення цифрових систем на граф мережних моделюючих процесорів, отримані оцінки часової і ємкісної складності мережних моделюючих процесорів, запропонований новий спосіб налагодження розподілених застосувань з використанням діаграм причинно-наслідкових зв'язків (ПНЗ-діаграм). |

 |
|

|  |
| --- |
| У дисертаційній роботі дане нове рішення актуальної наукової задачі розробки та дослідження нових інформаційних технологій автоматизованого проектування засобів обчислювальної техніки та дослідження нових методів і засобів підвищення ефективності паралельних обчислювальних систем і мереж.При проведенні досліджень отримані наступні основні результати:1) розроблені методи організації обчислювальної мережі для розподіленого логічного моделювання цифрових систем. Запропоновано структуру мережних моделюючих процесорів, що дозволяє ввести централізовану чергу завдань моделювання для їх наступного оптимального розміщення на вільних моделюючих процесорах;2) запропонований новий спосіб організації списку подій, що прискорює вставку нових елементів за рахунок застосування дерева часових штампів. Використання дерева часових штампів дозволяє скоротити час внесення нових подій у список і збільшити швидкість моделювання;3) запропонована нова об'єктна модель протоколів синхронізації логічних процесів при розподіленому логічному моделюванні, що дозволяє заміняти протоколи синхронізації без перезапуску моделюючих процесорів. Це дозволяє прискорити моделювання за рахунок використання оптимального протоколу синхронізації з набору наявних протоколів;4) сформульовані нові критерії оптимальності та розроблений багатокритеріальний алгоритм для оптимального відображення цифрових систем, що моделюються, на граф мережних моделюючих процесорів. Запропонована система критеріїв, яка ураховує ступінь зв’язку, ступінь досяжності, наявність і розміри циклів у графі процесорів, на додаток до існуючих критеріїв оптимальності, які враховують розміри частин схеми й кількість каналів зв'язків між процесорами. Експериментально показано, що урахування цих нових критеріїв приводить до підвищення швидкості моделювання на 15-30%;5) отримані оцінки обсягу пам'яті для всіх об'єктів системи. Наведені результати аналітичних досліджень можуть бути використані для вибору оптимальних параметрів відображення цифрових систем на граф процесорів і для оптимального налаштування мережних МодПр;6) отримані оцінки алгоритмічної складності процедури додавання подій у локальний список подій. Показано, що запропоноване дерево часових штампів дозволяє зменшити часову складність цієї процедури з до ;7) розроблені технології збору й аналізу результатів розподіленого логічного моделювання. Запропоновано діаграми причинно-наслідкових зв'язків (ПНЗ-діаграми), які є ефективним засобом налагодження розподілених систем. ПНЗ-діаграми призначені для візуального представлення процесу моделювання й графів причинно-наслідкових зв'язків подій. Аналіз цих графів дозволяє оцінити адекватність моделювання, відсутність затримок при моделюванні й зайвих повідомленнях у мережі, визначити вузькі місця в протоколі моделювання;8) проведене експериментальне дослідження властивостей консервативного й комбінованого протоколів синхронізації процесів при розподіленому моделюванні цифрових систем. Проведено моделювання схем, розмірність яких перебуває в діапазоні від 12 елементів до 237 962 елементів на вхідних послідовностях до 106 подій. У тестах використалися схеми з набору ISCAS'89, ITC'99 і модель мікропроцесора 80386;9) проведене експериментальне дослідження алгоритму швидкого перерахування матриці найкоротших шляхів між всіма парами вершин у графі після стягування двох вершин. Показано, що для точного знаходження вартості найкоротших шляхів між всіма парами вершин цей алгоритм працює в середньому в 5 разів швидше алгоритму Флойда. Для пошуку приблизної оцінки вартості найкоротших шляхів запропонований алгоритм працює в середньому в 60 разів швидше алгоритму Флойда;10) розроблений Інтернет-портал розподіленого логічного моделювання для організації вилученого доступу до мережі моделюючих процесорів. Портал доступний в Інтернеті за адресою http://sim.1024.info/. |

 |