**Мд. Мехедi Масуд. Моделi та алгоритми генерацiї тестiв для цифрових систем, що проектуються у середовищi VHDL : Дис... канд. наук: 05.13.12 - 2002.**

|  |  |
| --- | --- |
| |  | | --- | | **Mд. Мехеді Масуд.**Моделі та алгоритми генерації тестів для цифрових систем, що проектуються у середовищі VHDL**.**– Рукопис.  Дисертація на здобуття наукового ступеня кандидата технічних наук за спеціальністю 05.13.12 – системи автоматизації проектувальних робіт.– Харківський національний університет радіоелектроніки, Харків, 2001.  Робота присвячена розробці структурно-функціональних псевдокомбінаційних моделей і алгоритмів детермінованої генерації тестів цифрових систем для зменшення часу їхньої верифікації на стадії автоматизованого проектування при використанні середовища Active-HDL.  У процесі виконання досліджень отримані результати, що виносяться на захист: модифікація синхронної моделі цифрового примітива для опису тригерних схем кубічними покриттями в однотактному алфавіті, що дає можливість будувати детерміновані тестові впливи; удосконалення алгоритмів і процедур генерації тестів перевірки несправностей методом активізації одномірних шляхів для комбінаційних і послідовносних схем, що описані булевими рівняннями, на основі застосування прямої і зворотної імплікацій; лінійна модель процесу побудови тестів перевірки несправностей для функціональних схем, заданих кубічними покриттями, що дозволяє одержувати вхідні впливи, що перевіряють ОКН істотних вхідних і вихідних ліній цифрової схеми; стратегії застосування детермінованого й алгоритмічних генераторів для цифрових систем великої розмірності на основі їхньої декомпозиції, що дають можливість зменшувати час побудови тестів наперед заданої якості; створення програми генерації тестів, що дозволяє в автоматичному режимі будувати тести перевірки константних несправностей і оцінювати їхню якість для цифрових проектів, заданих у вигляді булевих рівнянь мовою опису апаратури VHDL. | |
| |  | | --- | | У процесі проведених у рамках виконання дисертаційної роботи досліджень, що спрямовані на досягнення мети – розробки структурно-функціональних псевдокомбінаційних моделей і алгоритмів детермінованної генерації тестів цифрових систем для зменшення часу їхньої верифікації на стадії автоматизованого проектування при використанні середовища Active-HDL – отримані наступні основні результати, що виносяться на захист:  – модифицікація синхронної моделі цифрового примітива з метою здійснення можливості опису тригерних схем кубічними покриттями в однотактному алфавіті, що дає можливість будувати тестові впливи методом активізації і моделювати несправності константного типу для визначення якості тесту;  – удосконалення моделі процесу генерації тестів перевірки несправностей методом активізації одномірних логічних шляхів для комбінаційних і послідовносних цифрових схем, що описані булевими рівняннями, на основі застосування прямої і зворотної імплікацій до структурно-функціональних псевдокомбінаційних моделей дискретних пристроїв;  – лінійна модель процесу побудови тестів перевірки несправностей для функціональних схем, заданих кубічними покриттями, що дозволяє одержувати вхідні впливи, що перевіряють ОКН істотних вхідних і вихідних ліній цифрової схеми;  – паралельно-послідовна модель застосування детермінованого й алгоритмічних генераторів для цифрових систем великої розмірності на основі їхньої декомпозиції, що дає можливість у кілька разів зменшувати час побудови тестів, що перевіряють, наперед заданої якості.  Здобуті наукові результати дають можливість автоматичної побудови тестів веріфікації у системах автоматизиованого проектування завдяки:  – реалізації програми генерації тестів активізації одномірних логічних шляхів, що дозволяє в автоматичному режимі будувати тести перевірки одиночних константних несправностей і оцінювати їхню якість для цифрових проектів, заданих у вигляді булевих рівнянь мовою опису апаратури VHDL;  – представницькому тестуванню програмного продукту на моделях тестових прикладів у виді комбінаційних і послідовносних схем з каталогів провідних фірм в області проектування, конференцій IEEE і реальних проектів цифрових пристроїв.  Практичні результати у вигляді програмних засобів впроваджені у навчальний і технологічний процеси для зменшення часу проектування шляхом автоматизації процесу верифікації цифрових систем, реалізованих на основі програмувальних логічних інтегральних схем. Програмні засоби генерації тестів можна також використовувати у проектних установах та униіверситетах, що займаються розробкою дискретних систем на кристалах програмувальної логіки. | |