**Антонюк Артем Владимирович КМОП элементы ассоциативной памяти для микропроцессорных систем с повышенной сбоеустойчивостью**

ОГЛАВЛЕНИЕ ДИССЕРТАЦИИ

кандидат наук Антонюк Артем Владимирович

Введение

1. КМОП элементы сопоставления ассоциативной памяти

1.1. Элементы на основе шести-транзисторной ячейки памяти

1.2. Элементы троичной ассоциативной памяти

1.2.1. Варианты элементов

1.2.2. Моделирование характеристик сбоя

1.3. Схемы выходной логики элемента

1.3.1. Варианты схем

1.3.2. Моделирование параметров схем

1.3.3. Моделирование передаточных характеристик элемента на инверторах с третьим состоянием

Выводы

2. Базовый элемент ассоциативной памяти на основе триггера БТО БГСЕ

2.1. Структура

2.2. Эффекты воздействия заряда с трека частицы на узлы триггера элемента

2.3. Эффекты воздействия заряда на выходной узел комбинационной логики элемента

2.3.1. Импульсы фототока на выходе элемента

2.3.2. Аппроксимация импульсов фототока двухэкспоненциальными импульсами

2.3.3. Схемотехническое моделирование воздействия импульсов тока

Выводы

3. Суммирование сигналов сопоставления в регистрах ассоциативной памяти

3.1. Варианты схем суммирования на основе проводной линии

3.2. Потребляемая мощность схем суммирования на основе проводной линии и комбинационной логики

3.3. Моделирование импульсов помех на входе схем суммирования

Выводы

4. Буфер ассоциативной трансляции по 65-нм КМОП объемной технологии

4.1. Структура буфера ассоциативной трансляции

4.2. Базовые элементы регистров ассоциативной памяти

4.2.1. Элемент сопоставления с чередованием транзисторных блоков

4.2.2. Комбинационный логический элемент суммирования с мерами по компенсации импульсных помех

4.2.3. Элемент маскирования с чередованием транзисторных блоков

4.3. Однобайтные блоки в составе накопителя ассоциативной памяти

4.3.1. Блок сопоставления

4.3.2. Блок сопоставления и маскирования

4.3.3. Параметры блоков

4.4. Параметры буфера ассоциативной трансляции

Выводы

Заключение

Литература

Приложение А. Копии патента РФ на изобретение и свидетельства о государственной регистрации топологии интегральной микросхемы

Приложение Б. Копия акта о внедрении результатов диссертации

Список сокращений

АЗУ ассоциативное запоминающее устройство;

САМ content-addressable memory;

TCAM ternary content-addressable memory;

RAM random access memory;

МОП структура металл-оксид-полупроводник;

^МОП структура металл-оксид-полупроводник с электронной проводимостью;

РМОП структура металл-оксид-полупроводник с дырочной проводимостью;

КМОП комплементарная структура металл-оксид-полупроводник;

ИМС интегральная микросхема;

ОЗУ оперативное запоминающее устройство;

СОЗУ статическое оперативное запоминающее устройство;

САПР система автоматизированного проектирования;

СБИС сверхбольшая интегральная схема;

DICE dual interlocked storage cell;

STG DICE spaced transistor groups dual interlocked storage cell;

XOR exclusive OR;

Inv inverter;

TRInv tristate inverter;

TCAD technology computer aided design;

6Т шести-транзисторный;

BL bit line;

WL word line;

SL search line;

ML match line;

TLB translation lookaside buffer;

NAND NOT AND;

SPICE simulation program with integrated circuit emphasis;

CL combinational logic;

CLK clock;

BM block of matching;

BMM block of matching and masking;

tt typical-typical;

Введение